

## t.CT2 - Computertechnik 2

---

<b>Kursverantwortung:</b>	Andreas Rüst, ruan
<b>verantwortliche OE:</b>	InES - Institute of Embedded Systems
<b>ECTS:</b>	4
<b>Schuljahr:</b>	2012/2013
<b>Zuletzt gespeichert:</b>	19.03.2013 11:35

---

### Fachkompetenz:

-

---

### Methodenkompetenz:

-

---

### Sozialkompetenz:

-

---

### Selbstkompetenz:

-

---

### Lernziel:

Die Studierenden

- können die zeitlichen Abläufe auf einem Systembus interpretieren, erklären und mit einem einfachen Logic Analyzer analysieren.
  - können Schaltungen für den Anschluss von einfachen Ein- und Ausgabegeräten entwerfen und umsetzen.
  - können handelsübliche Speicherbausteine an einen parallelen asynchronen Bus anschliessen.
  - können erklären wie Peripheriegeräte über einen synchronen, seriellen Bus an einen Prozessor angeschlossen werden und können das Protokoll eines Serial Peripheral Interface (SPI) Buses mit Hilfe von IO Pins in Software realisieren.
  - können eine Problemstellung mit Hilfe der State-Event Technik modellieren und umsetzen.
  - können ein Programm in einzelne Module gliedern, diese linken und die durch den Linker erzeugten Memory Maps interpretieren.
  - können wichtige Fachbegriffe aus dem Gebiet der Computersysteme erklären und den entsprechenden Fachwortschatz aktiv nutzen.
- 

### Lerninhalt:

- Paralleler Systembus: Bestandteile, Busoperationen und zeitliche Abläufe
  - Anschluss einfacher IO Geräte an den System Bus
  - Anschluss von Speichern an einen asynchronen, parallelen Bus (SRAM und Flash)
  - Anschluss von Komponenten über einen synchronen, seriellen Bus (SPI)
    - . \* Anschluss eines graphischen Displays über SPI unter Verwendung von GPIO Pins
  - Modulare Programmierung
    - . \* Gliederung eines Programmes in verschiedene Module
    - . \* Linken verschiedener C und Assemblermodule zu einem ausführbaren Programm
    - . \* Memory Maps des Linkers
  - State-Event Technik
    - . \* Gemeinsamkeiten und Unterschiede von State-Machines in HW und SW
-

- Interrupts
  - . \* Polling vs. Interrupt
  - . \* Prioritäten
  - . \* nested Interrupts
  - . \* Verwendung Interrupt-Controller
- Überblick über Fachbegriffe und Ausblick auf Themen in anschliessenden Kursen:
  - . \* Leistungsmerkmale von Prozessoren: Taktrate, Verarbeitungsbreite, Adressraum
  - . \* Was ist ein Cache, DMA, MMU, RISC, CISC, Micro-controller, DSP, DRAM, FPGA, CPLD

**Vorkenntnisse:**

CT1

**Durchführung:**

Unterrichtsart	Anzahl Lektionen pro Woche
Vorlesung	14*2
Übung/Praktika	14*2
Blockunterricht	

**Leistungsnachweise:**

Laut Tabelle oder gemäss schriftlicher Festlegung des Dozierenden zu Semesterbeginn!

Bezeichnung	Art	Form	Umfang	Bewertung	Gewichtung
Leistungsnachweise während Unterrichtszeit	2 Klausuren und bewertete Praktika	schriftlich		Note	je 15% pro Klausur / 10% Praktika
Semesterendprüfung	Prüfung	schriftlich	90 Minuten	Note	60 %

**Unterrichtssprache:**

Deutsch

**Unterrichtsunterlagen:**

Folien, Praktikumsbeschreibungen und Übungen

**Ergänzende Literatur:**

Technische Informatik II: Mikroprozessor-Hardware und Programmieretechniken / Rolf Gübeli, Hans Käser, Rolf Klaus, Thomas Müller - 2., überarb. Aufl. - Zürich: vdf, 2010.

(vdf - Lehrbücher und Skripten, zhaw-Skript)

ISBN: 978-3-7281-3256-7

**Bemerkungen:**

-