

t.MEK1 - Mikroelektronik 1

Kursverantwortung: Hans-Joachim Gelke, gelk
Credits: 4
Schuljahr: 2011/2012
Zuletzt gespeichert: 11.12.2011 18:16

Lernziel:

Nach erfolgreichem Abschluss des Kurses sind die Studierenden in der Lage:

- Die Architektur und Unterschiede von digitalen FPGAs, Gate Arrays und Full Custom Logik zu erklären.
 - Ein FPGA mit Softcore-Processor, Speicher und Peripherie (System on Chip = SOC) vom Architekturkonzept bis zur Produktionsreife zu entwickeln.
 - Intellectual Property (IP) z.B. UART, FIFOs in FPGAs zu integrieren.
 - Die Software für solche SOC zu entwickeln.
 - Den Design Fluss für ein FPGA oder Gatearray selbständig durchzuführen.
 - Script basierende Testbenches zu schreiben
 - Timing Analyse durchzuführen und Constraints zu setzen.
 - Die Taktverteilung und PLLs richtig einzusetzen.
-

Lerninhalt:

- Einführung und Begriffsdefinition von FPGA, Gate Array, Full Custom
 - Anwendungen von FPGAs
 - Architektur von SRAM basierenden FPGAs (Altera und Xilinx)
 - FPGA Design Fluss (Simulation, Synthese, Timing Analyse, Constraints Setting)
 - Einbindung von Soft Cores (NIOS), RAM, FIFO und andere IP (Intellectual Property)
 - Entwurfs-Verifikation (Testbenches, Regression Tests)
 - Taktverteilung und PLL
 - Schnelle Low Voltage Differential (LVDS) I/Os
 - JTAG Schnittstelle und TAP controller
 - FPGA Design Flow: (Synthese, Constrains, Optimisierung, Timing Analyse)
-

Vorkenntnisse:

-

Durchführung:

Unterrichtsart	Anzahl Lektionen pro Woche
Vorlesung	14 * 2
Übung/Praktika	14 * 2
Gruppenunterricht	
Blockunterricht	
Seminar	

Leistungsnachweise:

Laut Tabelle oder gemäss schriftlicher Festlegung des Dozierenden zu Semesterbeginn!

Anzahl	Art	Gewichtung
1	Modulendprüfung	60
0	Prüfungen während der Unterrichtszeit	20
10	Laborprotokolle	20

Unterrichtssprache:

Deutsch

Unterrichtsunterlagen:

Skript im OLAT

Vorlesungsfolien im OLAT

Praktikumsanleitungen im OLAT

Bemerkungen:

-