

t.MEK1 - Mikroelektronik 1

Kursverantwortung:	Hans-Joachim Gelke, gelk
Credits:	4
Schuljahr:	2010/2011
Zuletzt gespeichert:	06.09.2010 17:19

Lernziel:

Nach erfolgreichem Abschluss des Kurses sind die Studierenden in der Lage:

- Die Architektur und Unterschiede von digitalen FPGAs, Gate Arrays und Full Custom Logik zu erklären.
- Eine digitale Schaltungseinheit mit FPGA, Mikroprozessor, Speicher und Peripherie vom Architekturkonzept bis zur Produktionsreife (Top Down) zu entwickeln.
- Den Design Fluss für ein FPGA oder Gatearray selbständig durchzuführen.
- Timing Analyse durchzuführen und Constraints zu setzen.
- Die Taktverteilung und PLLs richtig einzusetzen.
- Vollständige Systeme on Chip(SOC) zu entwickeln.
- Intellectual Property (IP) z.B. NIOS Processor cores, RAM und FIFOs in FPGAs zu integrieren.

Lerninhalt:

- Einführung und Begriffsdefinition von FPGA, Gate Array, Full Custom
- Anwendungen von FPGAs
- Architektur von SRAM basierenden FPGAs (Altera und Xilinx)
- VHDL strukturiert anwenden
- FPGA Design Fluss (Simulation, Synthese, Timing Analyse, Constraints Setting)
- Einbindung von Soft Cores (NIOS), RAM, FIFO und andere IP (Intellectual Property)
- Taktverteilung und PLL
- Schnelle LVDS I/Os (Low Voltage differential)
- Verifikation (Testbenches, Regression Tests)
- JTAG Schnittstelle und TAP controller
- FPGA Design Flow: (Synthese, Constrains, Optimisierung,
- Timing Analyse, Floorplanning und Routing)

Vorkenntnisse:

-

Durchführung:

Unterrichtsart	Anzahl Lektionen pro Woche
Vorlesung	14 * 2
Übung/Praktika	14 * 2
Gruppenunterricht	
Blockunterricht	
Seminar	

Leistungsnachweise:

Laut Tabelle oder gemäss schriftlicher Festlegung des Dozierenden zu Semesterbeginn!

Anzahl	Art	Gewichtung
1	Modulendprüfung	60
0	Prüfungen während der Unterrichtszeit	
10	Laborprotokolle	20

Unterrichtssprache:

Deutsch

Unterrichtsunterlagen:

- Skript
 - Vorlesungsfolien
-

Bemerkungen:

-